

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Toyu Yazaki
Technical/Legal Interpretation/Translation
391 Sutter St., Ste. 601
San Francisco, CA 94108

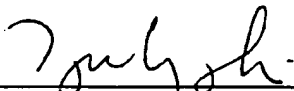
Telephone: (415) 391-9308

FAX: (415) 391-9310

e-mail: toyuyazaki@attglobal.net

I, Toyu Yazaki, hereby declare that I am a professional interpreter and translator, with twenty (20) years of professional experience, and am knowledgeable of and well acquainted with the Japanese language and the English language . The document attached hereto is to the best of my ability, knowledge and expertise a correct English translation of the original document written in the Japanese language.

I declare under penalty of perjury under the laws of the United States that the foregoing is true and correct. Executed this 16th day of April 2002 at Osaka, Japan.



Toyu Yazaki

(19) [Issuing country] Japanese Patent Office (JP)
(12) [Publication type] Laid-Open Patent Publication (A)
(11) [Laid-Open No.] Laid Open Patent Publication Hei 6-349952
(43) [Date of publication] December 22, 1994

(54) [Title of the invention] A Method for Forming a Wiring Path

(51) [International patent classification 5th edition]

H01L 21/90 B 7514-4M 21/288 E 7376-4M

[Examination request] Not requested

[Number of claims] 2

[Type of filing] OL

[Total number of pages] 10

(21) [Application No.] Patent Application Hei 5-142262

(22) [Application date] June 14, 1993

(71) [Applicant]

[Identification No.] 000000295

[Name or trade name] Oki Electric Co., Ltd.

(72) [Inventor]

[Name] Takehiko Okajima

[Address or residence] c/o Oki Electric Co., Ltd., 1-7-12 Toranomom, Minato-ku, Tokyo

(74) [Agent]

[Patent agent]

[Name or trade name] Takashi Ohgaki

(57) [ABSTRACT]

[Object]

To prevent the generation of defective connections within a contact hole with a high aspect ratio when manufacturing a multi-layer wiring structure using an electroplating process.

[Construction]

A current film 42 is deposited on an insulative film 40 having a contact hole 40a by a sputtering or vapor deposition process. If the aspect ratio of the contact hole 40a is high, void 46 occurs in the current film 42 at the bottom region of the contact hole. Next, a resist 44 having a window 44a for exposing a wiring forming region is formed on the current film 42. Then, another current film 48 is deposited on the current film 42 within the wiring forming region by an electroless plating process. By using the electroless plating process, the current film 48 can be deposited on the interlayer insulative film 40 exposed by the void 46. This results in the entire wiring forming region to be covered with current films 42, 48 which can be then used as electrodes to perform an electroplating thereby achieving the object of the invention.

[CLAIMS]

[CLAIM 1]

A method for forming a wiring path wherein an upper wiring path is formed on an insulative underlying structure by an electroplating process, said underlying structure comprising an electric circuit element to be interlayer connected and a contact hole for said electric circuit element, said upper wiring path being connected

to said electric circuit element, said method comprising: forming a first current film on said underlying structure inside and outside said contact hole by a vapor phase growth process; forming a second current film on said first current film by an electroless plating process to cover the region exposed by void formed in said first current film; and forming said upper wiring path on said second current film by an electroplating process.

[CLAIM 2]

A method according to claim 1, wherein said vapor phase growth process is a sputtering process or a vapor deposition process.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Applicable Industrial Field]

The present invention pertains to a method for forming wiring paths for providing a multi-layered wiring structure.

[0002]

[Description of the Prior Art]

In the past, electroplating processes have been used for forming wiring where resistance is required to be low, such as power supply lines or grounding lines. This is because depositing a thick film for the wiring paths and increasing the cross-sectional area of the wiring allow the integration density to be increased while reducing the wiring resistance, and the electroplating process can manufacture thick wiring films in a short period of time making it suitable for mass-production purposes.

[0003]

On the other hand, when manufacturing a multi-layered wiring structure in which, for example, the power supply line is the upper wiring path, a lower wiring path is first covered with an interlayer insulative film and is then covered with an upper wiring path. The upper and lower wiring paths are then connected by a contact hole formed through the interlayer insulative film. To form the upper wiring path using the electroplating process, a current film is formed on the interlayer insulative film. The upper wiring path is then formed by depositing a wiring material on the interlayer insulative film with the electroplating process.

[0004]

[Problems To Be Solved By The Invention]

However, in order to increase the integration density of the device, it is necessary to provide an interlayer insulative film of sufficient thickness for maintaining its insulating performance while decreasing the diameter of the contact hole. This results in a contact hole with a high aspect ratio. When an upper wiring path is formed at a contact hole with a high aspect ratio using the electroplating process, a defective connection becomes more likely between the upper wiring and its corresponding lower wiring as will be explained below with reference to the attached drawings.

[0005]

Figs. 9 and 10 are cross-sectional views sequentially showing the processes for forming the upper wiring path in a multi-layered wiring structure and illustrating the formation of a defective connection between the upper and lower wiring paths.

[0006]

In Fig. 9 (A), 10 is a semiconductor substrate on which certain electric circuit elements are formed. A lower wiring path 14 is formed on the substrate 10 with an interlayer insulative film 12 interposed in between.

[0007]

When forming the upper wiring path, an interlayer insulative film 16 is initially deposited on the lower wiring path 14, and a contact hole 18 for the lower wiring path 14 is then formed in the interlayer insulative film 16. Then, a current film 20 is deposited on the interlayer insulative film 16 inside and outside the contact hole 18. The current film 20 is usually deposited using a vapor phase growth process such as sputtering or vapor deposition. As the aspect ratio of the contact hole 18 increases, the vapor phase growth process becomes unable to provide sufficient deposition of the current film 20 on the sidewalls at the bottom of the contact hole 18 giving rise to void 24 where the current film 20 is discontinuous (see Fig. 9 (A)).

[0008]

Next, a resist pattern 22 is formed on the current film 20 (see Fig. 9 (B)). The resist pattern is formed not to

cover but to expose the regions for forming the upper wiring path.

[0009]

Next, the substrate is subjected to an electroplating process using the current film 20 as an anode so that plated films are selectively deposited on the current film 20 in the upper wiring path forming region to thereby obtain an upper wiring path 26 consisting of the plated films (see Fig. 10). Then, in a process not illustrated, the resist pattern 22 and the current film 20 formed outside the upper wiring path forming region are selectively removed.

[0010]

The electroplated films for forming the upper wiring path 26 are selectively deposited on the exposed regions on the current film 20 not covered by the resist pattern 22. However, the electroplated films do not deposit in the void region 24 since a current film 20 does not exist in that region. Thus, cavity 28 is formed at the bottom of the contact hole, the said cavity giving rise to defective connections between the upper wiring 26 and the lower wiring 14.

[0011]

Another choice is to form the entire upper wiring path 26 using an electroless plating process. However, the electroless plating process provides a very slow film deposition rate and, consequently, a poor yield.

[0012]

The object of the present invention is to resolve the above-described problems of the prior art by providing a wiring path forming method that does not generate cavities even with contact holes with a high aspect ratio while at the same time being capable of forming an upper wiring path with a good yield.

[0013]

[Means for Solving The Problems]

To achieve the object of the present invention, the present invention provides a method for forming a wiring path wherein an upper wiring path is formed on an insulative underlying structure by an electroplating process, the underlying structure comprising an electric circuit element to be interlayer connected and a contact hole for the electric circuit element, the upper wiring path being connected to the electric circuit element, the method comprising: forming a first current film on the underlying structure inside and outside the contact hole by a vapor phase growth process; forming a second current film on the first current film by an electroless plating process to cover a region exposed at a void formed in the first current film; and forming the upper wiring path on the second current film by an electroplating process.

[0014]

[Function]

According to the method, the second current film is deposited by an electroless plating process. By using the electroless plating process, the second current film can be deposited at the void in the first current film where the first current film is absent. Thus, the entire upper wiring path forming region can be covered by the first and second current films.

[0015]

In addition, since the first current film is formed by a vapor phase growth process, the exposed region at a void in the first current film within the contact hole in the upper wiring path forming region is kept relatively small even when the aspect ratio of the contact hole is high. Therefore, even if the second current film is formed by electroless plating, the processing time to cover the region exposed by the void in the first current film with the second current film can be kept relatively short.

[0016]

[Embodiments]

Embodiments of the invention will be described hereinbelow with reference to the attached drawings. The drawings are meant only for schematic illustration purposes and should not be construed to limit the scope of the invention.

[0017]

Figs. 1 to 4 are cross-sectional views for sequentially illustrating the main process steps of the embodiment of the present invention.

[0018]

First, an insulative underlying structure 29 is formed. The underlying structure 29 comprises an electric circuit element 32 to be interlayer connected and a contact hole 40a for element 32.

[0019]

In the embodiment, the underlying structure 29 is used for, for example, forming a semiconductor integrated circuit and comprises a semiconductor substrate 30, and successively formed thereon an interlayer insulative film 31, a current film 34, an electric circuit element 32 and interlayer insulative film 40, and a contact hole 40a formed in the interlayer insulative film 40 (see Fig. 2 (A)). The electric circuit element 32 to be interlayer connected is a lower wiring path for use, for example, as a power line and will be called "lower wiring path 32" hereinafter.

[0020]

The underlying structure 29 is formed as follows although its construction or its fabrication process should not be limited to as such. First, a semiconductor substrate 30 on which transistors, contacts, interconnects and other necessary electric circuit elements are formed is prepared. An interlayer insulative film 31 and a current film 34 are formed on the said substrate 30 (see Fig. 1 (A)). The interlayer insulative film 31 is made of, for example, a SiN film, a SiO₂ film, or a polyimide film. The current film 34 is a conductor with a dual-layer construction comprising a Ti film and an Au film which are formed on the interlayer insulative film 31 in sequence starting with the Ti film and followed by the Au film. Here, the current film 34 is formed to cover the entire surface of the interlayer insulative film 31.

[0021]

Next, an insulative pattern 36 is formed on the current film 34 (see Fig. 1 (B)). The insulative pattern 36 consists of a photoresist material having windows or voids 36a for exposing the lower wiring path forming region. In forming the insulative pattern, the interlayer insulative film 31 is coated with a photoresist, and the resist is then subjected to exposure and development to thereby obtain an insulative pattern 36 consisting of a resist with a prescribed pattern.

[0022]

Next, the current film 34 is immersed in an Au electroplating solution. Electroplating is then performed using the current film 34 as an anode for electroplating. This deposits an Au film on the current film 34 in the lower wiring path forming region thereby providing a lower wiring path 32 comprising an Au plated film (see Fig. 1(C)). Since the pattern 36 is insulative and an Au film does not deposit on the insulative pattern 36, an Au plated film can be selectively deposited only on the exposed lower wiring path forming region not covered by the insulative pattern 36.

[0023]

Next, the insulative pattern 36 and the current film 34 in the region where the lower wiring path 32 is not formed are removed (see Fig. 1(D)). Then, an interlayer insulative film 40 is formed on the lower wiring path 32 to complete the fabrication of the underlying structure 29 (see Fig. 2(A)). The interlayer insulative film 40 is formed to cover the lower wiring path 32 with a contact hole 40a for the lower wiring path 32. The contact hole 40a is formed by photolithography and etching such as reactive ion etching (RIE).

[0024]

Next, a first current film 42 is formed using a vapor phase growth process on the underlying structure 29 inside and outside the contact hole 40a. In this embodiment, the first current film 42 is a dual-layer conductor comprising a Ti film and an Au film which are deposited on the interlayer insulative film 40 in sequence starting with the Ti film and followed by the Au film using sputtering or vapor deposition as the vapor phase growth method (see Fig. 2 (B)). Here, the first current film 44 is formed to cover the entire surface of the interlayer insulative film 40.

[0025]

The material for the first current film 42 need only be a material suitable for forming a second current film 44 using an electroless plating process described hereinbelow. Therefore, the first current film 42 may be a single layer structure consisting only of an Au film, or a dual layer structure in which the upper layer is a Cu or Pt film instead of an Au film, or a multiple layer structure of two or more layers.

[0026]

Next, an insulative pattern 44 is formed on the first current film 42 in this embodiment. The insulative pattern 44 consists of a resist and has windows or voids 44a for exposing the upper wiring path forming region (see Fig. 3 (A)).

[0027]

Next, a second current film 48 is formed using an electroless plating process on the first current film 42 to

cover the region exposed by the void 46 in the said film 42. If the aspect ratio of the contact hole 40a is high, the void 46 is likely to be formed at the bottom of the contact hole 40a and consequently in the upper wiring path forming region (see Fig. 3(A)). With this embodiment, the first current film 42 is immersed in an Au electroless plating solution to form a second current film 48 comprising an Au film (see Fig. 3(B)).

[0028]

By using the electroless plating process, the second current film 48 can be formed not only on the first current film 42 but also on the interlayer insulative film 40 in the upper wiring path forming region which is exposed by void 46. By properly choosing the material for the first current film 42, the second current film 48 can be continuously grown to cover the current film 42 and on to the interlayer insulative film 40 at the void 46. Although the growth rate of the electroless plating process is slow, the processing time can be kept relatively short since it is only necessary to cover the interlayer insulative film 40 at void 46 with the second current film 48.

[0029]

Next, an upper wiring path 50 is deposited on the second current film 48 using an electroplating process. In this embodiment, the second current film 48 is immersed in an Au electroplating solution. By supplying an electroplating current using the second current film 48 and/or the first current film 42 as an anode for electroplating, an Au film is selectively deposited on the second current film 48 in the upper wiring path forming region to obtain an upper wiring path 50 comprising a plated Au film (see Fig. 4(A)).

[0030]

Next, with this embodiment, the insulative pattern 44 and the current film 42 in a region where the upper wiring path 50 is not deposited are removed (see Fig. 4(B)).

[0031]

Figs. 5 through 8 are cross-sectional views for sequentially illustrating the main process steps of another embodiment of the present invention. In the following description, features different from the foregoing embodiment will primarily be explained, detailed explanations being omitted for features that are similar between the two.

[0032]

First, an underlying structure 29 is formed. In this embodiment, the underlying structure 29 comprises a semiconductor substrate 30, and a lower wiring path 32 and an interlayer insulative film 40 sequentially formed on the substrate 30.

[0033]

The underlying structure 29 of this embodiment is formed as follows although the construction or the fabrication process for the underlying structure 29 is not limited to as such. Initially, a substrate comprising field oxide film 52, field effect transistor 54 and other necessary electric circuit elements is prepared as a semiconductor substrate 30, and a lower wiring path 32 and an interlayer insulative film 40 are sequentially formed on the field oxide film 52 of the substrate 30 (see Fig. 5(A)). In the drawing, a first primary electrode, a control electrode, a second primary electrode and an active layer of the field effect transistor 54 are identified by numbers 54a, 54b, 54c, and 54d, respectively.

[0034]

In this embodiment, since the electric circuit elements to be interlayer connected are the lower wiring path 32 and the first primary electrode 54a, the interlayer insulative film 40 is formed with a contact hole 40a for the lower wiring path 32 and a contact hole 40b for the first primary electrode 54a. The interlayer insulative film 40 insulatively covers the lower wiring path 32 and the electric circuit elements formed on the semiconductor substrate 30.

[0035]

Next, in this embodiment, an insulative pattern 56 is formed on the interlayer insulative film 40 in an air bridge forming region (see Fig. 5(B)). The air bridge forming region is the region where electrical effects caused by the upper wiring path should be eliminated or reduced, such as the region corresponding to the control electrode 54b. An insulative pattern 56 is formed in this region using a resist.

[0036]

Next, a first current film 42 is formed using a vapor phase growth process on the underlying structure 29 inside and outside the contact holes 40a, 40b. In this embodiment, the first current film 42 is formed to cover the entire surface of the interlayer insulative film 40 on the underlying structure 29 and the insulative pattern 56 for

forming the air bridge (see Fig. 6(A)).

[0037]

Next, an insulative pattern 44 is formed on the first current film 42 in the embodiment (see Fig. 6(B)).

[0038]

Next, a second current film 48 is formed using an electroless plating process on the first current film 42 to cover the region exposed by the void 46 in the said film 42 (see Fig. 6(B), Fig. 7(A)).

[0039]

Next, an upper wiring path 50 is deposited on the second current film 48 using an electroplating process (see Fig. 7(B)).

[0040]

Next, with this embodiment, the insulative pattern 44 and the current film 42 in the region where the upper wiring path 50 is not deposited are removed (see Fig. 8(A)). This is followed by the removal of the insulative pattern 56 for forming the air bridge (see Fig. 8(B)). In the drawings, the air bridge is identified by the character "B."

[0041]

The present invention should not be construed to be limited to the above-described embodiments, and the construction, material, manufacturing method, manufacturing process sequence of the various component elements and other conditions can be suitably and optionally changed.

[0042]

For example, the underlying structure 29 on which a multi-layer wiring is implemented is not limited to those for forming semiconductor integrated circuits and can include those for forming various other electrical circuits. Also, the electrical circuit elements to be electrically connected to the upper wiring path are not limited to a wiring path but can be an active element, a passive element, an electrode or any other circuit elements.

[0043]

Although, in the above-described embodiments, the first current film 42 is formed to cover the entire surface of the interlayer insulative film 40, and the second current film 48 is selectively formed on the exposed regions of the first current film 42 not covered by the insulative pattern 44 in the upper wiring path forming region, the invention is not limited as such. The shapes of the current films 42, 48 and the regions where they are formed are optional so long as they can provide a wiring portion P and a terminal portion Q for connecting the current films 42, 48 to the plating power supply when electroplating to deposit the upper wiring path, and the current films 42, 48 can cover the upper wiring path forming region.

[0044]

Also, although in the above-described embodiments the insulative pattern 44 for exposing the upper wiring path forming region is formed on the first current film 42 and the second current film 48 is formed thereafter, the invention is not limited as such. For example, the said films 42, 48 may be formed after the insulative pattern 44 is formed on the interlayer insulative film 40. In this case, not only the upper wiring path forming region but the regions for forming the above-described wiring portion P and the terminal portion Q are kept exposed by not covering them with the insulative pattern 44 thereby depositing thereon the electroplated film for forming the upper wiring path. Thereafter, the electroplated film outside the upper wiring path forming region and the current films 48, 42 may be selectively removed so as to obtain the upper wiring path 50 comprising the electroplated film remaining in the upper wiring path forming region. Or, in another choice, the insulative pattern 44 is not formed, and the first current film 42, second current film 48, and the electroplated film for forming the upper wiring path are sequentially formed on the entire surface of the interlayer insulative film 40. Then, the electroplated film outside the upper wiring path forming region and the current films 48, 42 are selectively removed using photolithography and etching techniques to obtain the upper wiring path 50 comprising the electroplated film remaining in the upper wiring path forming region. However, in order to simplify the manufacturing process, it is advantageous to sequentially form the first current film 42, the insulative pattern 44, the second current film 48 and the upper wiring path 50 as described in the above-described embodiments.

[0045]

[Effects of the Invention]

As is clear from the above description, according to the present invention, the entire upper wiring path forming

region is covered by the first and second current films. Therefore, by electroplating using the first and second current films as electrodes, the contact hole can be filled with electroplated films free of cavities therein even when the aspect ratio of the contact hole is high. Thus, by forming an upper wiring path with the said electroplated film, defective connections between the upper wiring path and the corresponding lower wiring path can be avoided.

[0046]

Also, even if the second current film is formed by an electroless plating process, the processing time for covering the region exposed by the void in the first current film with the second current film can be kept relatively short, and since the upper wiring path is formed by electroplating, the upper wiring path can be efficiently formed. Thus, the present invention can provide a multi-layer wiring structure with a high yield.

[Brief Description of the Drawings]

[Fig. 1] (A) - (D) are cross-sectional views sequentially showing the main process steps of an embodiment of the present invention.

[Fig. 2] (A) - (B) are cross-sectional views sequentially showing the main process steps of an embodiment of the present invention.

[Fig. 3] (A) - (B) are cross-sectional views sequentially showing the main process steps of an embodiment of the present invention.

[Fig. 4] (A) - (B) are cross-sectional views sequentially showing the main process steps of an embodiment of the present invention.

[Fig. 5] (A) - (B) are cross-sectional views sequentially showing the main process steps of another embodiment of the present invention.

[Fig. 6] (A) - (B) are cross-sectional views sequentially showing the main process steps of another embodiment of the present invention.

[Fig. 7] (A) - (B) are cross-sectional views sequentially showing the main process steps of another embodiment of the present invention.

[Fig. 8] (A) - (B) are cross-sectional views sequentially showing the main process steps of another embodiment of the present invention.

[Fig. 9] (A) - (B) are cross-sectional views for illustrating a defective connection between the upper and lower wiring paths.

[Fig. 10] This is a cross-sectional view for illustrating a defective connection between the upper and lower wiring paths.

[Description of the Numbers]

32: lower wiring path

40: interlayer insulative film

40a: contact hole

42: first current film

46: void in the first current film

48: second current film

50: upper wiring path

特開平6-349952

(43) 公開日 平成6年(1994)12月22日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	B	7514-4M		
21/288	E	7376-4M		

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願平5-142262

(22) 出願日 平成5年(1993)6月14日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 岡島 武彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

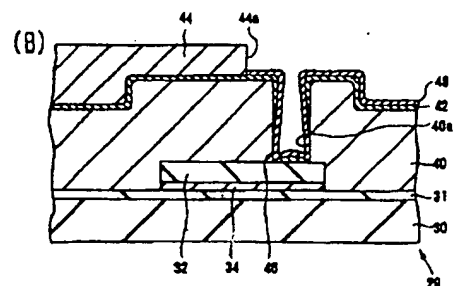
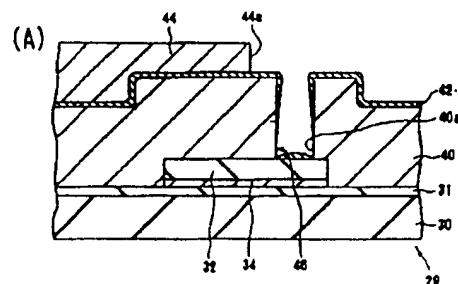
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 配線形成方法

(57) 【要約】

【目的】 電解めっきで多層配線を形成する場合においてアスペクト比の大きなコンタクトホール内で接続不良が生じるのを防止する。

【構成】 コンタクトホール40aを有する絶縁膜40上に、スパッタ又は蒸着により、カレントフィルム42を堆積する。コンタクトホール40aのアスペクト比が大きいとコンタクトホール底部にカレントフィルム42の切れ目46を生じる。次に配線形成領域を露出する窓44aを有するレジスト44を、カレントフィルム42上に形成する。次に配線形成領域のカレントフィルム42上に、無電解めっきにより、他のカレントフィルム48を堆積する。無電解めっきによれば、切れ目46から露出する層間絶縁膜40上にもこのフィルム48を成長できる。従って配線形成領域全体をカレントフィルム42、48により覆えるので、これらフィルムを電極として電解めっきを行なうことにより目的を達成できる。



44: 絶縁性パターン 44a: 窓
46: 切れ目 48: 第二のカレントフィルム

実施例の工程図

1

【特許請求の範囲】

【請求項1】 層間接続される電気回路素子と該電気回路素子のコンタクトホールとを有する絶縁性の下地上に、電解めっき法を用いて、前記電気回路素子と接続する上層配線を形成するに当り、

前記コンタクトホール内外の下地上に、気相成長法を用いて、第一のカレントフィルムを形成する工程と、

前記第一のカレントフィルム上に、無電解めっき法を用いて、第一のカレントフィルムの切れ目から露出する領域を覆う第二のカレントフィルムを形成する工程と、

前記第二のカレントフィルム上に、電解めっき法を用いて、前記上層配線を形成する工程とを含んで成ることを特徴とする配線形成方法。

【請求項2】 請求項1記載の配線形成方法において、気相成長法を、スパッタ法又は蒸着法としたことを特徴とする配線形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は多層配線を行なう場合の配線形成方法に関する。

【0002】

【従来の技術】 抵抗を低くすることが要求される配線例えば電源ラインやグランドラインの形成においては、従来より、電解めっき法が用いられている。その理由は、膜厚を厚くして配線の断面積を大きくすれば集積密度を高めつつ配線抵抗を下げることができ、そして電解めっき法は膜厚の厚い配線を短時間で形成でき従って量産に適しているからである。

【0003】 一方、電源ラインなどの配線を上層配線として多層配線を行なう場合、下層配線に順次に層間絶縁膜及び上層配線を設け、層間絶縁膜に設けたコンタクトホールを介してこれら下層及び上層配線を接続する。この場合に電解めっき法で上層配線を形成するには、カレントフィルムを層間絶縁膜上に形成する。そしてこのフィルム上に、電解めっき法により配線材料を堆積して、上層配線を形成する。

【0004】

【発明が解決しようとする課題】 しかしながら集積密度を高める場合、絶縁性を確保できる程度に層間絶縁膜の膜厚を確保しつつ、コンタクトホール径を小さくする必要があり、従ってコンタクトホールのアスペクト比が大きくなる。アスペクト比が大きいときに、電解めっき法で上層配線を形成すると、上層配線及びこれに対応する下層配線の間の接続不良を生じ易くなる。この点につき図面を用いて説明する。

【0005】 図9及び図10は上層及び下層配線間の接続不良の説明に供する図であって、多層配線における上層配線を電解めっき法で形成する場合の工程を段階的に示す断面図である。

【0006】 図9 (A) において、10は所定の電気回

2

路素子が形成された半導体基板を示す。この基板10上に、層間絶縁膜12を介して下層配線14を形成してある。

【0007】 上層配線形成に当っては、まず、下層配線14上に層間絶縁膜16を堆積し、然る後、下層配線14のコンタクトホール18を層間絶縁膜16に形成する。次いで、カレントフィルム20をコンタクトホール18内外の層間絶縁膜16上に堆積させる。通常、スパッタ法或は蒸着法といった気相成長法を用いて、カレントフィルム20を形成する。気相成長法では、コンタクトホール18のアスペクト比が大きくなると、カレントフィルム20を、コンタクトホール18の底部側壁面に堆積できず、その結果、カレントフィルム20の切れ目24を生じてしまう(図9 (A))。

【0008】 次に、レジストパターン22をカレントフィルム20上に形成する(図9 (B))。レジストパターン22は上層配線形成領域を覆わずに露出する。

【0009】 次に、カレントフィルム20を陽極として電解めっきを行なって上層配線形成領域のカレントフィルム20上に選択的にめっき膜を堆積し、このめっき膜から成る上層配線26を得る(図10)。次いで、図示せずとも、レジストパターン22と上層配線を形成しない領域のカレントフィルム20とを選択的に除去する。

【0010】 上層配線26を形成するための電解めっき膜は、レジストパターン22で覆われずに露出する領域のカレントフィルム20上に、選択的に堆積する。しかしながら切れ目24の領域には、カレントフィルム20が存在しないので電解めっき膜は堆積しない。その結果、コンタクトホール底部に空洞28を生じ、この空洞28により上層配線26と下層配線14との間の接続不良を生じる。

【0011】 そこで上層配線26全体を、無電解めっき法を用いて形成することも考えられる。しかし無電解めっきの膜堆積速度は遅く従って歩留りが悪い。

【0012】 この発明の目的は、上述した従来の問題点を解決するため、アスペクト比が大きなコンタクトホールであってもその底部に空洞を生じないように、しかも歩留り良く上層配線を形成できる配線形成方法を提供することにある。

【0013】

【課題を解決するための手段】 この目的の達成を図るため、この発明の配線形成方法は、層間接続される電気回路素子とこの電気回路素子のコンタクトホールとを有する絶縁性の下地上に、電解めっき法を用いて、前記電気回路素子と接続する上層配線を形成するに当り、コンタクトホール内外の下地上に、気相成長法を用いて、第一のカレントフィルムを形成する工程と、第一のカレントフィルム上に、無電解めっき法を用いて、第一のカレントフィルムの切れ目から露出する領域を覆う第二のカレントフィルムを形成する工程と、第二のカレントフィル

3

ム上に、電解めっき法を用いて、上層配線を形成する工程とを含んで成ることを特徴とする。

【0014】

【作用】このような方法によれば、第二のカレントフィルムを無電解めっき法で形成する。無電解めっき法によれば、第一のカレントフィルムの切れ目（第一のカレントフィルムが断ち切れて存在しない領域）にも第二のカレントフィルムを堆積させることができる。従って上層配線形成領域をその全体にわたって、第一及び第二のカレントフィルムで覆うことができる。

【0015】しかも第一のカレントフィルムを気相成長法により形成する。従ってコンタクトホールのアスペクト比が大きい場合に、上層配線形成領域のコンタクトホールにおいて第一のカレントフィルムの切れ目から露出する領域は、比較的狭くなる。従って第二のカレントフィルムを無電解めっき法で形成しても、第一のカレントフィルムの切れ目から露出する領域を、第二のカレントフィルムで覆うのに要する時間を比較的短くできる。

【0016】

【実施例】以下、図面を参照し、発明の実施例につき説明する。尚、図面は発明が理解できる程度に概略的に示してあるにすぎず、従って発明を図示例に限定するものではない。

【0017】図1～図4はこの発明の実施例の主要工程を段階的に示す断面図である。

【0018】まず、絶縁性の下地29を形成する。下地29は層間接続される電気回路素子32とこの素子32のコンタクトホール40aとを有する。

【0019】この実施例では、下地29は例えば半導体集積回路を形成するためのものであって、半導体基板30と、この基板30上に順次に形成した層間絶縁膜31、カレントフィルム34、電気回路素子32及び層間絶縁膜40と、層間絶縁膜40に形成したコンタクトホール40aとを有して成る（図2（A）参照）。層間接続される電気回路素子32を例えば電源ラインに用いる下層配線とする（以下、下層配線32と称する）。

【0020】下地29の構成及び形成方法をこれに限定するものではないが、ここでは下地29を次に述べるように形成する。まず、半導体基板30として、トランジスタ、電極、配線そのほかの所定の電気回路素子が形成されている基板を用意し、この基板30上に層間絶縁膜31及びカレントフィルム34を形成する（図1（A））。層間絶縁膜31は例えばSiN膜、SiO₂膜又はポリイミド膜である。またカレントフィルム34はTi膜及びAu膜から成る二層構造の導電体であり、層間絶縁膜31側から順次にこれらTi及びAu膜を形成してある。ここでは、カレントフィルム34を層間絶縁膜31全面にわたり形成する。

【0021】次いでカレントフィルム34上に絶縁性パ

4

ターン36を形成する（図1（B））。絶縁性パターン36はレジストから成り、下層配線形成領域を露出する窓（或は切欠部分）36aを有する。その形成に当たっては、レジストを層間絶縁膜31上に塗布し、然る後、レジストを露光及び現像して、所定のパターン形状を有するレジストを形成し、このレジストから成る絶縁性パターン36を得る。

【0022】次いでカレントフィルム34をAuの電解めっき液中に浸漬する。そしてカレントフィルム34を電解めっきの陽極としてめっきを行なう。これにより、下層配線形成領域のカレントフィルム34上にAuめっき膜を堆積し、このAuめっき膜から成る下層配線32を得る（図1（C））。絶縁性パターン36は絶縁性を有するので、絶縁性パターン36上にはAuめっき膜は堆積せず、従って絶縁性パターン36で覆わずに露出させた下層配線形成領域上に選択的に、Auめっき膜を堆積させることができる。

【0023】次いで絶縁性パターン36と下層配線32を形成しない領域のカレントフィルム34とを除去する（図1（D））。次いで下層配線32上に層間絶縁膜40を形成し、下地29の形成を完了する（図2（A））。層間絶縁膜40は下層配線32を覆い、当該配線32のためのコンタクトホール40aを有する。コンタクトホール40aの形成は、フォトリソ及びエッチング例えば反応性イオンエッチング（RIE）により、行なう。

【0024】次に、コンタクトホール40a内外の下地29上に、気相成長法を用いて、第一のカレントフィルム42を形成する。この実施例では、第一のカレントフィルム42はTi膜及びAu膜から成る二層構造の導電体であり、気相成長法としてスパッタ法又は蒸着法を用いて、層間絶縁膜40側から順次にこれらTi及びAu膜を堆積し、下地29の層間絶縁膜40上に第一のカレントフィルム42を形成する（図2（B））。ここでは、第一のカレントフィルム42を層間絶縁膜40全面にわたり形成する。

【0025】第一のカレントフィルム42の形成材料は、無電解めっき法を用いて後述する第二のカレントフィルム44を形成するのに適した材料であれば良い。従って第一のカレントフィルム42をAu膜のみから成る一層構造としたり、またこのフィルム42の最上層を、Au膜に代えてCu膜又はPt膜としても良いし、さらには二層以上の多層構造としても良い。

【0026】次に、この実施例では、第一のカレントフィルム42上に絶縁性パターン44を形成する。絶縁性パターン44はレジストから成り、上層配線形成領域を露出する窓（或は切欠部分）44aを有する（図3（A））。

【0027】次に、第一のカレントフィルム42上に、無電解めっき法を用いて、当該フィルム42の切れ目4

5

6から露出する領域を覆う第二のカレントフィルム48を形成する。切れ目46はコンタクトホール40aのアスペクト比が大きい場合にこのコンタクトホール底部従って上層配線形成領域に生じ易い(図3(A)参照)。この実施例では、第一のカレントフィルム42をAuの無電解めっき液中に浸漬し、第二のカレントフィルム48としてAu膜を形成する(図3(B))。

【0028】無電解めっき法によれば、第二のカレントフィルム48を第一のカレントフィルム42上のみならず、上層配線形成領域において切れ目46から露出する層間絶縁膜40上にも堆積させることができる。第一のカレントフィルム42の材料を任意好適に選択することにより、当該カレントフィルム42から切れ目46の層間絶縁膜40上へと第二のカレントフィルム48を成長させることができる。また無電解めっきの成長速度は遅いが、第二のカレントフィルム48により切れ目46の層間絶縁膜40を覆えば良いので、無電解めっきに要する時間を比較的に短くすることができる。

【0029】次に、第二のカレントフィルム48上に、電解めっき法を用いて上層配線50を形成する。この実施例では、第二のカレントフィルム48をAuの電解めっき液中に浸漬する。そして第二のカレントフィルム48及び又は第一のカレントフィルム42を電解めっきの陽極として通電し、上層配線形成領域の第二のカレントフィルム48上に選択的にAuめっき膜を堆積させ、このAuめっき膜から成る上層配線50を得る(図4(A))。

【0030】次に、この実施例では、絶縁性パターン44と上層配線50を形成しない領域のカレントフィルム42とを除去する(図4(B))。

【0031】図5〜図8は他の実施例の主要工程を段階的に示す断面図である。以下、主として上述した実施例と相違する点につき説明し、上述した実施例と同様の点についてはその詳細な説明を省略する。

【0032】まず、下地29を形成する。この実施例では、下地29は半導体基板30と、この基板30上に順次に形成した下層配線32及び層間絶縁膜40とを備えて成る。

【0033】下地29の構成及び形成方法をこれに限定するものではないが、下地29を次に述べるように形成する。まず、半導体基板30として、フィールド酸化膜52、電界効果トランジスタ54及びそのほかの所定の電気回路素子を有する基板を用意し、この基板30のフィールド酸化膜52上に順次に、下層配線32及び層間絶縁膜40を形成する(図5(A))。図中、電界効果トランジスタ54の第一主電極、制御電極、第二主電極及び能動層をそれぞれ、符号54a、54b、54c及び54dを付して示した。

【0034】層間接続される電気回路素子をここでは下層配線32及び第一主電極54aとしており、従って層

6

間絶縁膜40は下層配線32のコンタクトホール40aと第一主電極54aのコンタクトホール40bとを有する。層間絶縁膜40は下層配線32と半導体基板30が有する電気回路素子とを絶縁被覆する。

【0035】次に、この実施例では、エアーブリッジ形成領域の層間絶縁膜40上に絶縁性パターン56を形成する(図5(B))。エアーブリッジ形成領域は上層配線による電気的影響を排除し或は低減したい領域例えば制御電極54bに対応する領域であり、この領域にレジストを用いて絶縁性パターン56を形成する。

【0036】次に、コンタクトホール40a、40b内外の下地29上に、気相成長法を用いて、第一のカレントフィルム42を形成する。この実施例では、下地29の層間絶縁膜40上とエアーブリッジ形成用の絶縁性パターン56上とに、これら膜40及びパターン56の全面にわたり、第一のカレントフィルム42を形成する(図6(A))。

【0037】次に、この実施例では、第一のカレントフィルム42上に絶縁性パターン44を形成する(図6(B))。

【0038】次に、第一のカレントフィルム42上に、無電解めっき法を用いて、当該フィルム42の切れ目46(図6(B)参照)から露出する領域を覆う第二のカレントフィルム48を形成する(図7(A))。

【0039】次に、第二のカレントフィルム48上に、電解めっき法を用いて上層配線50を形成する(図7(B))。

【0040】次に、この実施例では、絶縁性パターン44と上層配線50を形成しない領域のカレントフィルム42とを除去し(図8(A))、然る後、エアーブリッジ形成用の絶縁性パターン56を除去する(図8(B))。図中、エアーブリッジを符号Bを付して示す。

【0041】発明は上述した実施例にのみ限定されるものではなく、従って各構成成分の構成、材料、形成方法、形成順序そのほかの条件を任意好適に変更できる。

【0042】例えば、多層配線が行なわれる下地29は半導体集積回路を形成するためのものに限らず種々の構成の電気回路形成用のものとして形成することができる。また上層配線と電気接続する電気回路素子は配線に限らず、能動素子、受動素子、電極そのほかの回路素子とすることができる。

【0043】また上述した実施例では、第一のカレントフィルム42を層間絶縁膜40全面にわたって形成すると共に、絶縁性パターン44で覆わずに露出させた上層配線形成領域の第一のカレントフィルム42上に、第二のカレントフィルム48を選択的に形成したが、これに限定するものではない。上層配線形成時の電解めっきにおいてこれらカレントフィルム42、48をめっき電源と接続するための配線部分P及び端子部分Qを形成で

き、かつ、これらカレントフィルム42、48により上層配線形成領域を覆うことができるのであれば、これらカレントフィルム42、48の形状及び形成領域をどのようにしても良い。

【0044】また上述した実施例では、上層配線形成領域を露出する絶縁性パターン44を第一のカレントフィルム42上に形成し、然る後に、第二のカレントフィルム48を形成するようにしたが、これに限定されるものではない。例えば、層間絶縁膜40上に絶縁性パターン44を形成した後、これらフィルム42、48を形成するようにしても良い。この場合には、上層配線形成領域のみならず前述の配線部分P及び端子部分Qを形成する領域をも絶縁性パターン44で覆わずに露出させて、上層配線形成用の電解めっき膜を堆積する。その後、上層配線形成領域以外の電解めっき膜、カレントフィルム48及び42を選択的に除去し、上層配線形成領域に残存する電解めっき膜から成る上層配線50を得るようにすれば良い。或は、絶縁性パターン44を形成せずに、層間絶縁膜40全面にわたって、第一のカレントフィルム42、第二のカレントフィルム48、及び、上層配線形成用の電解めっき膜を順次に形成する。その後、フォトリソ及びエッチング技術を用いて、上層配線形成領域以外の電解めっき膜、カレントフィルム48及び42を選択的に除去し、上層配線形成領域に残存する電解めっき膜から成る上層配線50を得るようにすれば良い。しかし形成工程の簡略化のためには、上述した実施例で述べるように、第一のカレントフィルム42、絶縁性パターン44、第二のカレントフィルム48及び上層配線50を順次に形成する方が有利である。

【0045】

【発明の効果】上述した説明からも明らかなように、この発明の配線形成方法によれば、上層配線形成領域をその全体にわたって、第一及び第二のカレントフィルムで覆うことができる。従って第一及び又は第二のカレントフィルムを電極として電解めっきを行なうことにより、上層配線形成領域のコンタクトホールのアスペクト比が大きい場合でも、空洞部分を生じないようにコンタクトホール内部を電解めっき膜で埋め込むことができる。従って、この電解めっき膜で上層配線を形成することによ

り、上層配線とこれに対応する下層配線との間の接続不良を回避できる。

【0046】これと共に、第二のカレントフィルムを無電解めっきで形成しても第一のカレントフィルムの切れ目から露出する領域を、第二のカレントフィルムで覆うのに要する時間を比較的短くでき、しかも上層配線を電解めっきで形成するので、上層配線の形成を効率よく行なえる。従ってこの発明によれば、多層配線を歩留り良く形成できる。

10 【図面の簡単な説明】

【図1】(A)～(D)は実施例の主要な工程を段階的に示す断面図である。

【図2】(A)～(B)は実施例の主要な工程を段階的に示す断面図である。

【図3】(A)～(B)は実施例の主要な工程を段階的に示す断面図である。

【図4】(A)～(B)は実施例の主要な工程を段階的に示す断面図である。

20 【図5】(A)～(B)は他の実施例の主要な工程を段階的に示す断面図である。

【図6】(A)～(B)は他の実施例の主要な工程を段階的に示す断面図である。

【図7】(A)～(B)は他の実施例の主要な工程を段階的に示す断面図である。

【図8】(A)～(B)は他の実施例の主要な工程を段階的に示す断面図である。

【図9】(A)～(B)は上層及び下層配線の間の接続不良を説明するための断面図である。

30 【図10】上層及び下層配線の間の接続不良を説明するための断面図である。

【符号の説明】

32：下層配線

40：層間絶縁膜

40a：コンタクトホール

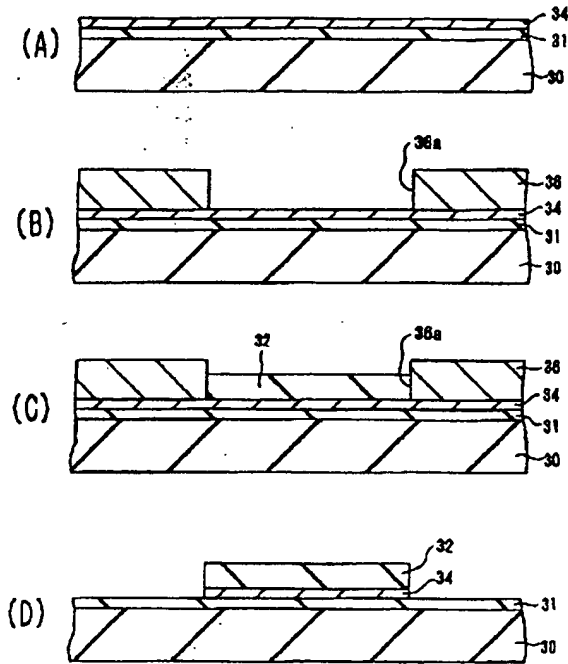
42：第一のカレントフィルム

46：第一のカレントフィルムの切れ目

48：第二のカレントフィルム

50：上層配線

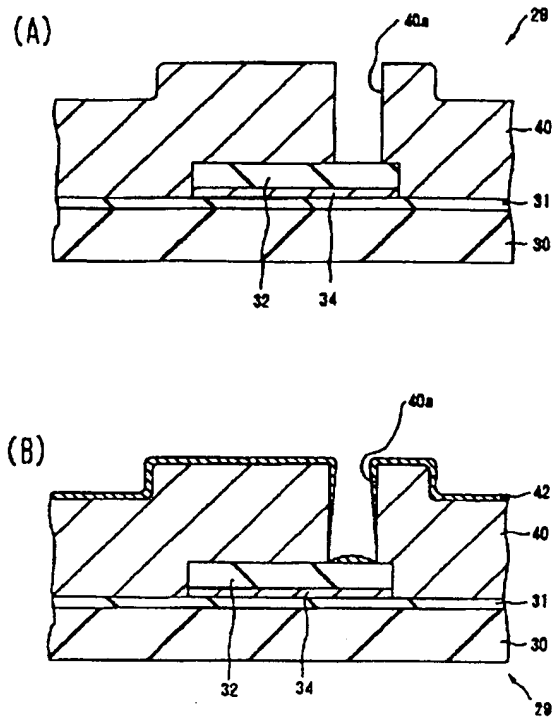
【図1】



30: 基板 32: 下層配線
31: 層間絶縁膜 34: カレントフィルム

実施例の工程図

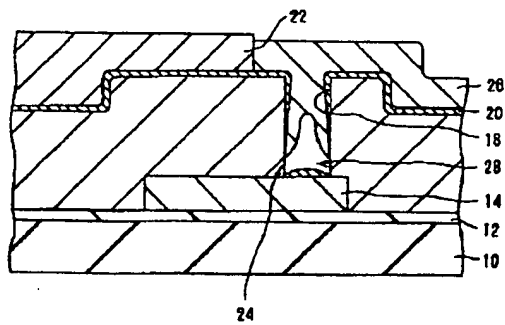
【図2】



29: 下地 40a: コンタクトホール
40: 層間絶縁膜 42: 第一のカレントフィルム

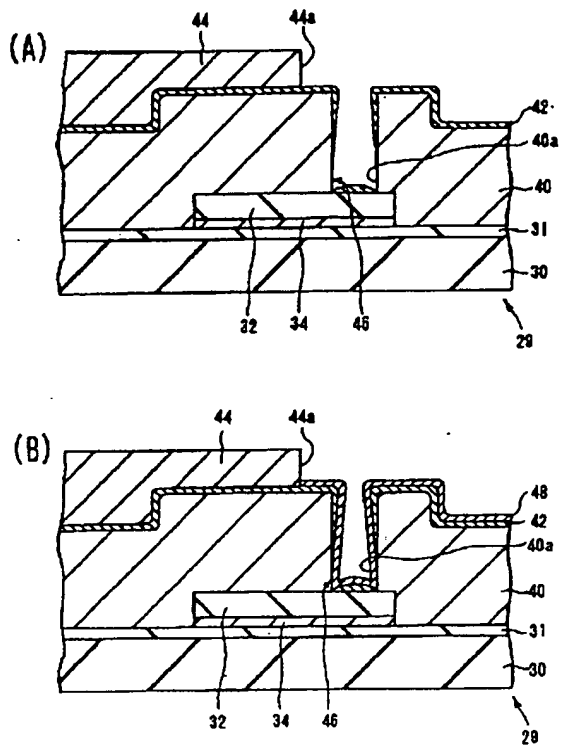
実施例の工程図

【図10】



配線接続不良の説明図

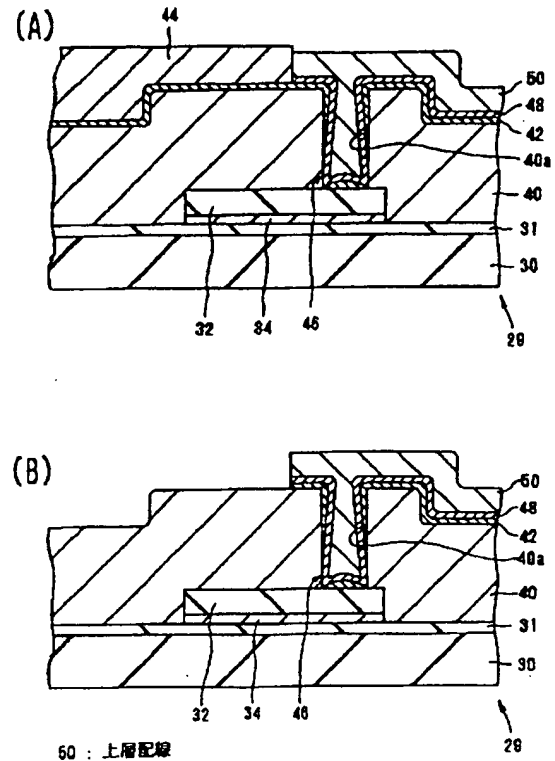
【図3】



44: 絶縁性パターン 44a: 窓
46: 切れ目 48: 第二のケレントフィルム

実施例の工程図

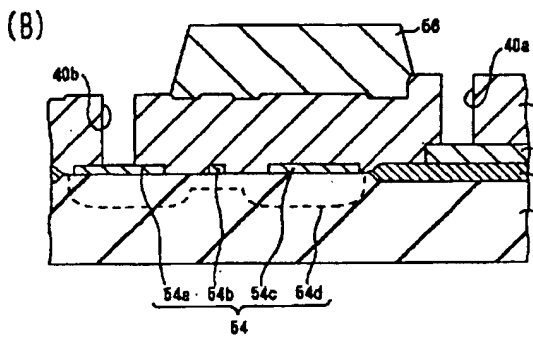
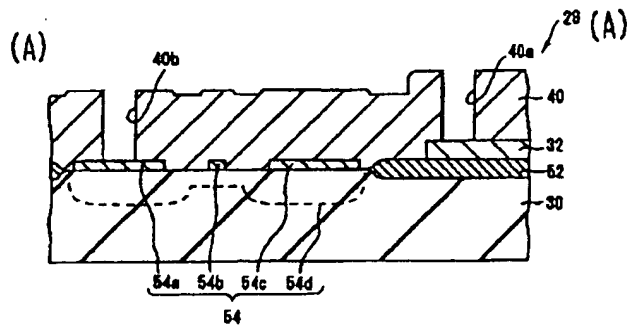
【図4】



60: 上層配線

実施例の工程図

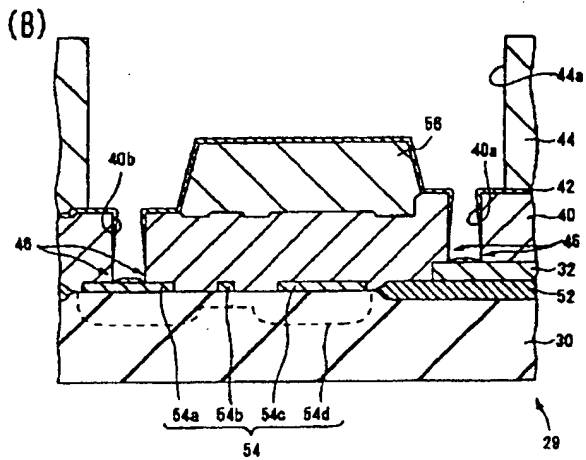
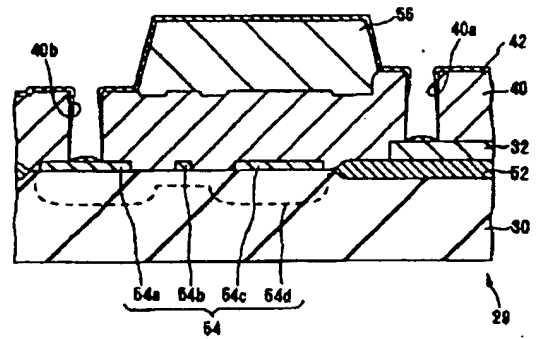
【図5】



52 : フィールド酸化膜 54 : 電界効果トランジスタ
 56 : 絶縁性パターン 54d : 能動層
 54a~54c : 電極

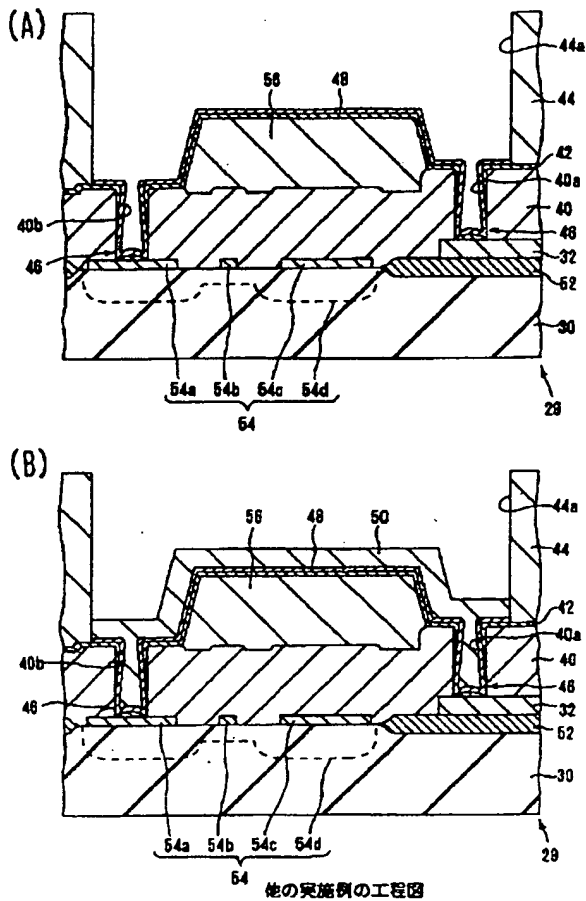
他の実施例の工程図

【図6】

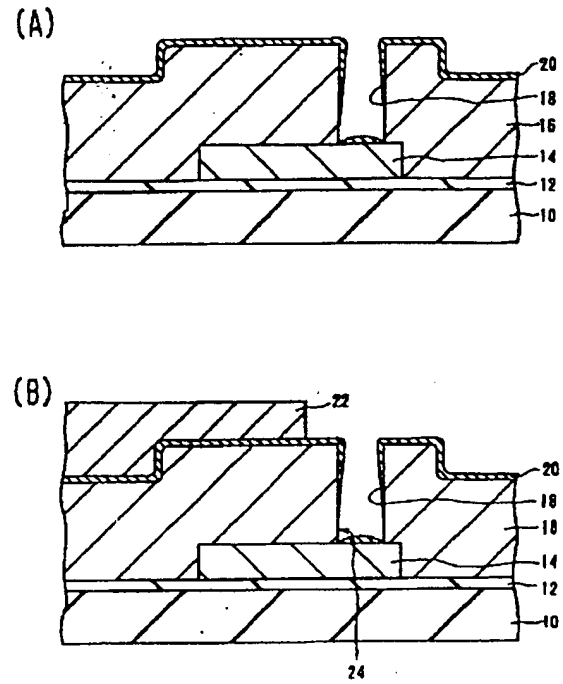


他の実施例の工程図

【図7】

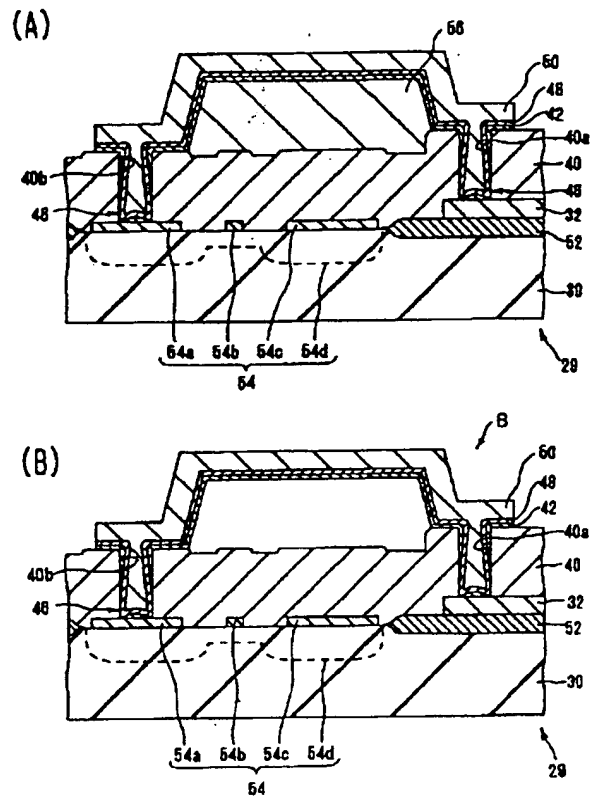


【図9】



配線接続不良の説明図

【図8】



他の実施例の工程図